

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094950
(43)Date of publication of application : 06.04.2001

(51)Int.CI.

H04N 7/01

(21)Application number : 11-265583

(22)Date of filing : 20.09.1999

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

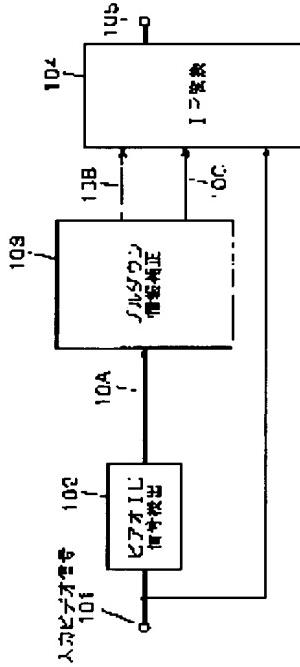
(72)Inventor : SHIBUYA RYUICHI
TAKEYA NOBUO
MORIBE HIROSHI
MORITA HISAO
ANDO HITOSHI

(54) VIDEO ID SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a video ID signal processor, that is used in an interlace- progressive converter and reduces the occurrence of malfunctions, when a pull-down information is outputted in the converter.

SOLUTION: The video ID signal processor is provided with a video ID signal detector 102, that detects the pull-down information that denotes from which frames a current field being one of ID information sets is generated, a pull-down information correction device 103 that keeps a sequence of the pull-down information to output a pull-down information signal, even when other information is inserted and an IP converter 104 that conducts IP conversion in response to a pull-down information correction output signal from the pull-down information correction device 103. The video ID signal processor can conduct IP conversion with few errors, on the basis of the received video ID pull-down information.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-94950

(P2001-94950A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.

H 04 N 7/01

識別記号

F I

マーク(参考)

H 04 N 7/01

G 5 C 0 6 3

審査請求 未請求 請求項の数2 O L (全10頁)

(21)出願番号 特願平11-265583

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成11年9月20日(1999.9.20)

(72)発明者 渡谷 竜一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 竹谷 信夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

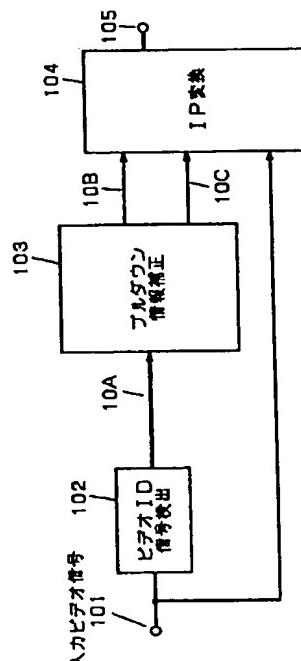
弁理士 岩橋 文雄 (外2名)

(54)【発明の名称】 ビデオID信号処理装置

(57)【要約】

【課題】 インターレース-プログレッシブ変換装置においてブルダウン情報が送信されているときの誤動作を少なくするためのビデオID信号処理装置を提供する。

【解決手段】 ID情報の1つである現フィールドがどのフレームから生成されたかを表すブルダウン情報を検出するビデオID信号検出装置102と、間に別の情報がはさまれた場合にあっても、そのブルダウン情報のシーケンスを保持しブルダウン情報信号を出力できるブルダウン情報補正装置103と、前記ブルダウン情報補正装置からのブルダウン情報補正出力信号に応じてIP変換を行うIP変換装置104とを備え、送信されたビデオIDブルダウン情報に基づいたエラーの少ないIP変換を行うことができる。



【特許請求の範囲】

【請求項1】 入力されたビデオ入力信号からビデオID信号を検出するビデオID信号検出装置と、前記ビデオID検出装置からの出力信号を入力とし、ID情報の1つである現フィールドがどのフレームから生成されたかを表すブルダウン情報について、間に別の情報がはさまれた場合にあっても、そのブルダウン情報のシーケンスを保持しブルダウン情報信号を出し、また送信されているビデオID信号がブルダウン情報かどうかを出力するブルダウン情報補正装置と、前記ビデオ入力信号を入力とし、そのビデオ信号をインターレースプログレッシブ変換する際に、前記ブルダウン情報補正装置からの出力信号に基づき、走査線補間を適切に行うようにするインターレースプログレッシブ変換装置とを備え、インターレースプログレッシブ変換装置において誤動作を少なくすることを特徴とするビデオID信号処理装置。

【請求項2】 入力されたビデオID信号情報がブルダウン情報かどうかの識別を行いその結果を出力し、識別結果がブルダウン情報であればその入力信号を出力するブルダウン情報識別装置と、前記ブルダウン情報識別装置の識別結果の出力を入力し、過去数フィールドの識別結果を累積カウントし、ある設定値と比較を行いその結果を出力するブルダウン情報累積比較装置と、入力されたブルダウン情報を蓄積し過去数フィールドのブルダウン情報パターンを出力するブルダウン情報パターン発生装置と、フレーム周波数が24Hz及び30Hzの場合のブルダウン情報パターンとパターンの整合を行い、不整合をカウントしその値をそれぞれ出力するパターン整合装置と、不整合カウント値とある設定値との比較を行いフレーム周波数が24Hzか30Hzかを判別し結果を出力するブルダウン情報判別装置と、後述する第1のパルス発生装置及び第2のパルス発生装置の出力を入力し、また前記ビデオID信号情報を入力し、ブルダウン情報を抽出し前記2つの入力とそれぞれ比較しパターンが一致すればリセットパルスをそれぞれ出力する位相比較装置と、前記リセットパルスでリセットされ、フレーム周波数が24Hzの場合のブルダウン情報パターンのパルス列を出力する第1のパルス発生装置と、前記リセットパルスでリセットされ、フレーム周波数が30Hzの場合のブルダウン情報パターンのパルス列を出力する第2のパルス発生装置と、前述の第1のパルス発生装置の出力及び第2のパルス発生装置の出力を入力し出力する信号を前述のブルダウン情報判別装置の出力により切り替える切り替え装置を装備していることを特徴とする請求項1記載のビデオID信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インターレース信号をプログレッシブ信号に変換し表示する事が可能なテ

レビジョン受像装置におけるビデオID検出・処理装置に関するものである。

【0002】

【従来の技術】近年、テレビジョン業界においては現行のインターレース信号を倍速化し、プログレッシブ走査を行いちらつきの少ない映像表示を行うことが重要視されている。インターレース→プログレッシブ変換（以下、IP変換と称す）に関しては様々な方式が提案されているが、いずれの方式についても動画における走査線補間時に誤動作が伴っている。このような状況の中、もともとプログレッシブである信号をインターレース信号に変換した信号の時、IP変換時の誤動作が発生しないよう、EIAJ（日本電子工業学会）より垂直プランギング期間を利用したビデオID信号の1部に上記問題を回避するための信号を挿入することが規格として制定されている。ここで、ビデオID信号の規格について、図6を用いて説明する。

【0003】この図に示すようにビデオID信号は水平同期信号H.SYNC、カラーバースト信号CBに続いて、N20 RZ(Non Return to Zero)波形のリファレンス信号Ref.、及び識別情報（1ビット～20ビット）が伝送されている。このようなビデオIDの識別内容を図7に示す。ビデオIDは2ビットで構成されるWORD0、4ビットで構成されるWORD1、8ビットで構成されるWORD2、及び6ビットのCRC符号で形成されている。

【0004】そして、WORD0(bit1, bit2)は映像信号の伝送形式に関する識別情報とされ、WORD1(bit3～bit6)は後述するWORD230で伝送される情報を指定するヘッダー情報、WORD2(bit7～bit14)はWORD1で指定されるデータ情報とされ、CRC(bit15～bit20)は誤り訂正用のCRC符号とされている。このうち上述のIP変換時の誤動作を抑止するための情報としては、WORD1="0110"が重複してきたときのWORD2のbit8が示すものであり、24コマの映画や30コマのCMフィルムをビデオ信号に変換するときに、同一のコマからの画像かどうかを識別するための情報である。この内容についての説明を以下に抜粋する。

【0005】「例えば24コマの映画からビデオ信号に変換（テレシネ）する場合、同じコマから2又は3フィールドのビデオ信号が生成される。これを3-2ブルダウン方式と呼んでいる。順次走査テレビにおいてこのビデオ信号を再現する場合、そのフィールドがどのコマから生成されたかという情報があると、走査線補間を適切に行うことができ品位が向上する。そこで、前のフィールドと同じコマから生成されたフィールドは「コマ連続」、異なるコマから生成された場合には「コマ変化」としてブルダウン情報を伝送することにした（図8参照）。間に別の情報が挟まることがあるので、受信側

の機器は、その区間もシーケンスを保つよう配慮する。」

ここでいうシーケンスとは、図8にあるように24コマフィルムの場合（以降、24Pと称す）はブルダウン情報が“01011”の繰り返しで送信され、30コマフィルムの場合（以降、30Pと称す）はブルダウン情報が“01”の繰り返しで送信されるということを表している。

このようなビデオID信号の検出装置については特開平8-331528号公報等に記載されているように、ほぼ図9に示すように構成される。以下にその説明を行う。

【0006】図9において、信号判別装置1はスライサ20とコントロール用のマイクロコンピュータ（以下、「コントロールマイコン」という）30で構成されている。スライサ20は垂直プランギング期間内の所定の水平ライン位置に重畠されているEDTV2の識別制御信号、又はビデオIDを所定のサンプリング周波数でサンプリングを行うと共に、サンプリングデータを所定のスライスレベルと比較してデコードするデコーダである。コントロールマイコン30は例えばビデオID、又はEDTV2の識別制御信号が重畠されている水平ライン位置、スライスレベル、及びサンプリング周波数等の設定データ信号をスライサ20に出力すると共に、スライサ20からは設定データ信号に応じたスライステータ信号が供給される。また、コントロールマイコン30に付加されている判定カウンタ30a、30bは例えば4ビットカウンタであり、ヒステリシス特性を持たせてスライサ20から供給される検出信号をカウントし、ビデオID、又はEDTV2の識別制御信号の判別を行うようになされている。

【0007】

【発明が解決しようとする課題】しかしながら上記のような構成では、次のような問題点を有している。ブルダウン情報を表すWORD2のbit8はWORD1で“0110”が送信されてきた場合のみ有効であり、送信側が別の情報、例えばWORD1=“0011”はWORD2でソフトの長さ、残り時間を送信するというヘッダーであるが、そうしたものが送信されてきた場合、bit8は全く別の意味を有する。このときIP変換装置に送られるブルダウン情報は全くでたらめのデータになり、適切なIP変換が行えない。上述の「間に別の情報が挟まることがあるので、受信側の機器は、その区間もシーケンスを保つよう配慮する。」ということが不可能なのである。

【0008】

【課題を解決するための手段】上記問題点を解決するために本発明のビデオID信号処理装置は、入力されたビデオ入力信号からビデオID信号を検出するビデオID信号検出装置と、前記ビデオID検出装置からの出力信

号を入力とし、ID情報の1つである現フィールドがどのフレームから生成されたかを表すブルダウン情報について、間に別の情報が挟まれた場合にあっても、そのブルダウン情報のシーケンスを保持しブルダウン情報信号を出力し、また送信されているビデオID信号がブルダウン情報かどうかを出力するブルダウン情報補正装置と、前記ビデオ入力信号を入力とし、そのビデオ信号をインターレース-プログレッシブ変換する際に、前記ブルダウン情報補正装置からの出力信号に基づき、走査線補間を適切に行うようにするインターレース-プログレッシブ変換装置とを備えたものである。

【0009】また、本発明のビデオID信号処理装置は、上記ブルダウン情報補正装置として、入力されたビデオID信号情報がブルダウン情報かどうかの識別を行いその結果を出力し、識別結果がブルダウン情報であればその入力信号を出力するブルダウン情報識別装置と、前記ブルダウン情報識別装置の識別結果の出力を入力し、過去数フィールドの識別結果を累積カウントし、ある設定値と比較を行いその結果を出力するブルダウン情報累積比較装置と、入力されたブルダウン情報を蓄積し過去数フィールドのブルダウン情報パターンを出力するブルダウン情報パターン発生装置と、フレーム周波数が24Hz及び30Hzの場合のブルダウン情報パターンとパターンの整合を行い、不整合をカウントしその値をそれぞれ出力するパターン整合装置と、不整合カウント値とある設定値との比較を行いフレーム周波数が24Hzか30Hzかを判別し結果を出力するブルダウン情報判別装置と、後述する第1のパルス発生装置及び第2のパルス発生装置の出力を入力し、また前記ビデオID信号情報を入力し、ブルダウン情報を抽出し前記2つの入力とそれぞれ比較しパターンが一致すればリセットパルスをそれぞれ出力する位相比較装置と、前記リセットパルスでリセットされ、フレーム周波数が24Hzの場合のブルダウン情報パターンのパルス列を出力する第1のパルス発生装置と、前記リセットパルスでリセットされ、フレーム周波数が30Hzの場合のブルダウン情報パターンのパルス列を出力する第2のパルス発生装置と、前述の第1のパルス発生装置の出力及び第2のパルス発生装置の出力を入力し出力する信号を前述のブルダウン情報判別装置の出力により切り替える切り替え装置を備えたものである。

【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、インターレース-プログレッシブ変換装置において誤動作を少なくすることを特徴としたビデオID信号処理装置であり、ビデオID信号にブルダウン情報が送信されている場合、間に別の情報が挟まれた区間が発生してもそれ以前のブルダウン情報の送信シーケンスからそのシーケンスを判別し、IP変換装置にシーケンスを保持した、誤りのないブルダウン情報を途切れることなく

提供できるため、ビデオ I D信号を用いた適切な I P変換を行うことができるという作用を有する。

【0011】本発明の請求項2に記載の発明は、入力されたビデオ入力信号からビデオ I D信号を検出するビデオ I D信号検出装置と、前記ビデオ I D検出装置からの出力信号を入力とし、I D情報の1つである現フィールドがどのフレームから生成されたかを表すブルダウン情報について、間に別の情報がはさまれた場合にあっても、そのブルダウン情報のシーケンスを保持しブルダウン情報信号を出し、また送信されているビデオ I D信号がブルダウン情報かどうかを出力するブルダウン情報補正装置と、前記ビデオ入力信号を入力とし、そのビデオ信号をインターレースープログレッシブ変換する際に、前記ブルダウン情報補正装置からの出力信号に基づき、走査線補間を適切に行うようにするインターレースープログレッシブ変換装置とを備え、インターレースープログレッシブ変換装置において誤動作を少なくすることを特徴としたビデオ I D信号処理装置であり、ビデオ I D信号にブルダウン情報が送信されている場合、間に別の情報が挟まれた区間が発生してもそれ以前のブルダウン情報の送信シーケンスからそのシーケンスを判別し、I P変換装置にシーケンスを保持した、誤りのないブルダウン情報を途切れることなく提供できるため、ビデオ I D信号を用いた適切な I P変換を行うことができるという作用を有する。

【0012】本発明の請求項3に記載の発明は、請求項2に記載のブルダウン情報補正装置として、入力されたビデオ I D信号情報がブルダウン情報かどうかの識別を行いその結果を出し、識別結果がブルダウン情報であればその入力信号を出力するブルダウン情報識別装置と、前記ブルダウン情報識別装置の識別結果の出力を入力し、過去数フィールドの識別結果を累積カウントし、ある設定値と比較を行いその結果を出力するブルダウン情報累積比較装置と、入力されたブルダウン情報を蓄積し過去数フィールドのブルダウン情報パターンを出力するブルダウン情報パターン発生装置と、フレーム周波数が24Hz及び30Hzの場合のブルダウン情報パターンとパターンの整合を行い、不整合をカウントしその値をそれぞれ出力するパターン整合装置と、不整合カウント値とある設定値との比較を行いフレーム周波数が24Hzか30Hzかを判別し結果を出力するブルダウン情報判別装置と、後述する第1のパルス発生装置及び第2のパルス発生装置の出力を入力し、また前記ビデオ I D信号情報を入力し、ブルダウン情報を抽出し前記2つの入力とそれぞれ比較しパターンが一致すればリセットパルスをそれぞれ出力する位相比較装置と、前記リセットパルスでリセットされ、フレーム周波数が24Hzの場合のブルダウン情報パターンのパルス列を出力する第1のパルス発生装置と、前記リセットパルスでリセットされ、フレーム周波数が30Hzの場合のブルダウン情報

パターンのパルス列を出力する第2のパルス発生装置と、前述の第1のパルス発生装置の出力及び第2のパルス発生装置の出力を入力し出力する信号を前述のブルダウン情報判別装置の出力により切り替える切り替え装置を装備していることを特徴とした請求項1に記載のビデオ I D信号処理装置であり、ビデオ I D信号にブルダウン情報が送信されている場合、間に別の情報が挟まれた区間が発生してもそれ以前のブルダウン情報の送信シークエンスからそのシーケンスを判別し、I P変換装置にシークエンスを保持した、誤りのないブルダウン情報を途切れることなく提供できるため、ビデオ I D信号を用いた適切な I P変換を行うことができるという作用を有する。

【0013】以下本発明の実施の形態について、図面を参照しながら説明する。

【0014】(実施の形態1) 図1は本発明の第1の実施例におけるビデオ I D信号処理装置のブロック構成図を示すものである。図1において、102はビデオ I D信号検出装置、103はブルダウン情報補正装置、104はI P変換装置である。

【0015】以上のように構成されたビデオ I D信号処理装置について、以下図1、図3、図4及び図5を用いてその動作を説明する。まず図3はビデオ I D信号検出装置を示すものであって、301は入力端子であり、ビデオ信号が入力される。302は入力信号の高周波ノイズ除去用ローパスフィルタ装置(以下、LPFと称す)、303は入力信号に対しある設定レベル以下の信号を切り捨て、それ以上のレベルの入力をNRZ="1"とするためのレベルスライサ装置、304は後述

30するリセットパルス発生装置からのリセットパルスにてカウントをリセットし、NRZ信号をサンプリングクロックにてカウントするカウンタ装置、305は設定値30Gに対して入力信号が大であれば出力が“1”となるコンバレータ、306は時系列で出力されるビデオ I D信号をピットごとに用意したレジスタに後述するリセットパルス発生装置からのリセットパルスにより順に格納し、Refを含めた22ビットの I D信号を保持するシフトレジスタ、307は入力ビデオ信号から同期信号を検出する同期分離装置、308は同期分離装置からの水平同期信号及び垂直同期信号により、垂直ブランкиング期間の20H、283Hのビデオ I D信号のRefを含めた22bit分の図5に示すような位置にリセットパルスを出力するリセットパルス発生装置である。

【0016】また、図4はI P変換装置を示すものであって、401は入力端子であり、ビデオ信号が入力される。410はブルダウン情報信号入力端子、411はブルダウン情報判別信号入力端子、402はコンポジットビデオ信号を輝度信号と色信号に分離するYC分離装置、403は色信号を色差信号に復調し、YUV信号を出力する色復調装置、404、405はYUV信号を1

フィールド遅延し出力するフィールドメモリ、406はフィールドメモリを通らない信号とフィールドメモリを2回通った信号から走査線を補間する信号を切り替える第1の補間信号切り替えSW、407、408は書き込みのクロックに対して倍のクロックで読み出すことにより2倍速の信号を出力するラインメモリ、409はフィールドメモリを通らない信号とフィールドメモリを2回通った信号の差分データを検出し、その差分のレベルから入力ビデオ信号が動画か静止画かを判断し、動画であれば後述する413の第2の補間信号切り替えSWに出力するパルスを“0”固定に、静止画であれば1Hの周期ごとに“0”、“1”をトグルし、また後述する411ブルダウン情報判別信号が入力されたとき、前記出力パルスを静止画判別状態に保持するフレーム差分判別装置、410はブルダウン情報信号入力端子、411はブルダウン情報判別信号入力端子、412は第1のラインメモリへ入力する信号をフィールドメモリを通らない信号とフィールドメモリを2回通った信号とから切り替える第3の補間信号切り替えSW、413は走査線補間を行なうかフィールド内で行うかの動作を409からの前述した出力パルスで信号を切り替えることにより実現する第2の補間信号切り替えSWである。

【0017】入力端子101から入力されたビデオ信号はビデオID信号検出装置102及び変換装置104へ入力され、入力端子301の入力信号及び入力端子401の入力信号を得る。入力端子301から入力された信号はLPF302に入力され、ノイズ除去された信号30Aを得る。30Aはレベルスライサ303で0IRE以下の信号を排除され、ビデオIDのNRZ信号30Bを得る。また、入力端子301から入力された信号は同期分離装置307で同期分離され水平同期信号及び垂直同期信号30Eを得る。この30Eの同期信号をリセットパルス発生装置308に入力することにより垂直ブランкиング期間の20H、283HのビデオID信号のRefを含めた22bit分の図5に示すような位置にリセットパルス30Fを得る。カウンタ装置304にNRZ信号30B及びリセットパルス30Fが入力されると、カウンタ装置304はリセットパルスでカウンタ出力がリセットされ、次のリセットパルスが来るまでクロック単位でカウント動作を行い、結果的に図5に示すようなノコギリ波30Cを出力する。ノコギリ波30Cに対し、コンバレータ305は設定値30Gと比較しノコギリ波のレベルが大きければ論理“1”を出力する。この出力パルス30Dがリセットパルスごとに更新され、また更新されるごとにシフトレジスタ306に格納されて結果、ビデオID信号出力端子309からビデオID信号を得る。得られたビデオID信号は102の出力10Aとなり、ブルダウン情報補正装置103に入力される。ブルダウン情報補正装置では、入力されたビデオID信号がブルダウン情報かどうかを判別しその結果ブル

ダウン情報判別信号10Cを得る。

- 【0018】また、間に別の情報がはさまれた場合であってもそのブルダウン情報のシーケンスを保持しブルダウン情報補正信号10Bを出力する。図4において、入力端子410にはブルダウン情報補正信号10Bを得る。また、入力端子411にはブルダウン情報判別信号10Cを得る。入力ビデオ信号はYC分離装置402に入力され輝度信号及び色信号に分離され、YC信号40Aを得る。YC信号40Aは色復調装置403に入力されYC信号を復調し、YUV信号40B（以降、未来FDと称す）を得る。得られたYUV信号は、第1のフィールドメモリ404により1フィールド遅延され、1フィールド遅延YUV信号40C（以降、現FDと称す）を得る。現FD信号40Cは、第2のフィールドメモリにより2フィールド遅延YUV信号40D（以降、過去FDと称す）を得る。40B及び40Dは、ブルダウン情報判別信号が“1”であるときはSW412で選択されたブルダウン情報信号がSW406の制御信号40Hとなり、出力が選択される。SW406の出力40E及び40Cはラインメモリ407及び408により倍速変換され倍速出力信号40F及び40Iを得る。SW413の制御信号40Jは、フレーム差分判別装置409でブルダウン情報判別信号の“1”入力により毎H“0”と“1”を繰り返す後述の「静止画モード」に動作は固定され、現FD信号と、ブルダウン情報信号である40Hにて選択された未来FDもしくは過去FDが出力されブルダウン情報に基づいたIP変換を行い、IP変換出力YUV信号を出力端子414に得る。
- 【0019】この動作を図8を用いて説明すると、例えば現FD40CがA2とした場合、過去FD40DはA1、未来FD40BはB1となる。このときのブルダウン情報は“1”が送信されているのでSW406は40D、つまり過去FDA1を選択する。これにより図8のIP変換映像出力のA1A2の状態を実現している。また、ブルダウン情報判別信号が“0”である時は、SW412によりブルダウン情報信号は選択されず制御信号40Hは“1”固定となる。よって40Eは過去FD信号となる。またこのときフレーム差分判別409により40B、40Dからフレーム間の差分データを検出し、差分が小さく静止画と判別すれば上述のごとくSW413の切り替え動作によりフィールド間の走査線補間を行い、IP変換出力YUV信号を出力端子414に得る。また、差分が大きく動画と判別すれば40J = “0”としSW413での切り替えは行わず、現FDでのフィールド内走査線補間を行い、IP変換出力YUV信号を出力端子414及び104に得る。
- 【0020】以上のように本実施例によれば、間に別の情報がはさまれた場合であってもそのブルダウン情報のシーケンスを保持しブルダウン情報補正信号を出力するブルダウン情報補正装置を設けることにより、インター

レースープログレッシブ変換装置において誤動作を少なくすることができる。

【0021】(実施の形態2) 図2は本発明の第2の実施例におけるビデオID信号処理装置のブロック構成図を示すものである。図2において、201は入力端子である。202はビデオID検出装置、208はIP変換装置であり、内容については実施の形態1に記載のビデオID検出装置102及びIP変換装置104と同一であり、詳細な説明については省略する。203はブルダウン情報識別装置であり、ビデオID信号を入力し、WORD1の識別を行い、“0110”であればWORD2のbit8ブルダウン情報及びブルダウン情報識別信号に“1”を出力し、“0110”以外であればいずれの出力も“0”とする。210はブルダウン情報パターン発生装置であり、過去15フィールド分のブルダウン情報をシフトレジスタに蓄積し、ブルダウン情報パターンとして出力する。15フィールドの理由は、24Pが“01011”的5フィールド1シーケンス、30Pが“01”的2フィールド1シーケンスを持つため、両者ともシーケンスの途中で終わらないよう最小公倍数分のフィールドを後述のパターンマッチング装置でマッチングを行うとすると、10フィールド分のデータが必要であり、即ち24Pについては例えば“0101101011”が存在していることが判別できれば良いということになる。少なくとも15フィールド分のデータがあれば現フィールドが“01011”的どのフィールドにあっても“0101101011”的存在を確認することができる。ただし、ブルダウン情報識別信号が“0”的ときは15フィールドの中に蓄積せず、シーケンスだけを1つ進めておくようとする。これにより、間に別の情報が挟まった場合は最新のブルダウン情報パターンを保持しておくことができる。

【0022】213はブルダウン情報累積比較装置であり、入力されたブルダウン情報識別信号を反転し数フィールドにわたり累積カウントし、ある設定値と比較を行いその値が小さければ“1”、大きければ“0”を出力する。

【0023】211はパターンマッチング装置であり、24P及び30Pにおける10フィールド分のパターン“0101101011”及び“0101010101”を予め保持しており、入力された15フィールドのデータパターンと先頭から10フィールド、第2番目のデータから10フィールド、第3番目のデータから10フィールド、第4番目のデータから10フィールド、第5番目のデータから10フィールドの5回のマッチングを行い、それぞれの不整合データの数をカウントしその内から最小値を24P及び30Pの確率データとして出力する。例えば、入力信号が24Pなら24Pの確率データは“0”、30Pの確率データは“5”となる。204はブルダウン情報識別装置であり、2つの24P用

・30P用コンバレータにある2つの設定値と2つの入力信号との比較をそれぞれ行い入力信号が小さければ“1”、大きければ“0”をそれぞれ出力し、データの組み合わせが(24P, 30P) = (1, 0)の場合は1、(0, 1)の場合は0をブルダウン情報判別装置の出力データとして出力し、(1, 1)又は(0, 0)の場合は前回の出力を保持する。205は位相比較装置である。206は第1のパルス発生装置であり、リセットパルスが入力されると“01011”を5フィールド周期で繰り返し出力する。207は第2のパルス発生装置であり、リセットパルスが入力されると“01”を2フィールド周期で繰り返し出力する。207は信号切り替えSWである。

【0024】以上のように構成されたビデオID信号処理装置について、以下図2を用いてその動作を説明する。

【0025】入力端子201からビデオ信号が入力されビデオID信号検出装置202の入力を得る。202から出力信号として22ビットのビデオID信号20Aを得る。20Aは位相比較装置205に入力され、5ビット及び2ビットのシフトレジスタに格納される。また、第1のパルス発生装置206の出力信号20E及び第2のパルス発生装置207の出力信号20Dが位相比較装置205に入力され同様に5ビット及び2ビットのシフトレジスタに格納される。この5ビット及び2ビットのデータ同士を比較し一致すればリセットパルス出力20G及び20Fをそれぞれ得る。このリセットパルスにより第1のパルス発生装置206は“01011”を順番に出力し直し、結果、最新の位相で24Pパルス出力20Eを出力し続ける。

【0026】同様に第2のパルス発生装置207は“01”を順番に出力し直し、結果、最新の位相で30Pパルス出力20Dを出力し続ける。また、ビデオID信号20Aはブルダウン情報識別装置203に入力され、前記通りブルダウン情報識別信号20K及びブルダウン信号20Bを得る。20B及び20Kはブルダウン情報パターン発生装置210に入力され前記通り間に他の情報が挟まれた場合でもブルダウン送信パターンの保たれた15フィールドのブルダウン情報パターン信号20Hを得る。20Kはまた213に入力され、前記通り設定値20Oで比較処理されブルダウン情報判別信号20Pを得、IP変換装置208へ出力される。20Hはパターンマッチング装置211に入力され、前記通り24P確率データ20N及び30P確率データ20Iを得る。20N、20Iはブルダウン情報判別装置204に入力され24P判別設定値20L及び30P判別設定値20Mと比較を行い、前記通りブルダウン情報制御信号20Cを得る。信号切り替えSW207に最新位相を保持した24Pパルス20E及び最新位相を保持した30Pパルス20Dが入力され、ブルダウン情報制御信

号20Cにより24P、30Pのうち確率の高い方を選択し、ブルダウン情報20JとしてIP変換装置208へ出力される。

【0027】以上のように本実施例によれば、位相比較により最新の位相を保持したブルダウン情報を発生させる装置及び過去フィールドからブルダウン送信パターンを判別し切り替える装置を設けることにより、IP変換装置に適切なブルダウン情報を提供することができ、インターレースプログレッシブ変換装置において誤動作を少なくすることができる。

【0028】なお、第1の実施例において入力信号はコンポジット信号を想定しているが、S端子入力(YC信号)であればYC分離装置402は必要なく、またYUV入力であればさらに色復調装置が必要ない。

【0029】

【発明の効果】以上のように本発明は入力されたビデオ入力信号からビデオID信号を検出するビデオID信号検出装置と、前記ビデオID検出装置からの出力信号を入力とし、ID情報の1つである現フィールドがどのフレームから生成されたかを表すブルダウン情報について、間に別の情報がはさまれた場合にあっても、そのブルダウン情報のシーケンスを保持しブルダウン情報信号を出力し、また送信されているビデオID信号がブルダウン情報かどうかを出力するブルダウン情報補正装置と、前記ビデオ入力信号を入力とし、そのビデオ信号をインターレースプログレッシブ変換する際に、前記ブルダウン情報補正装置からの出力信号に基づき、走査線補間を適切に行うようにするインターレースプログレッシブ変換装置を設けることにより、誤動作を少なくすることことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるビデオID信号処理装置のブロック構成図

【図2】本発明の第2の実施例におけるビデオID信号処理装置のブロック構成図

【図3】本発明の第1及び第2の実施例におけるビデオID検出装置のブロック構成図動作説明図

【図4】本発明の第1及び第2の実施例におけるIP変換装置のブロック構成図

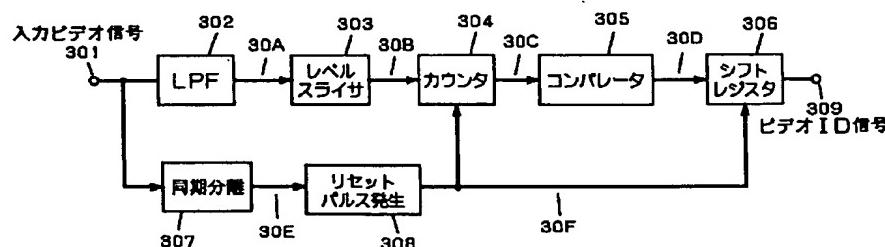
- * 【図5】本発明の第1及び第2の実施例におけるビデオID検出装置の動作説明図
- 【図6】ビデオID信号波形を示す図
- 【図7】ビデオIDコード割付けを示す図
- 【図8】ブルダウン情報送信シーケンス説明図
- 【図9】従来のビデオID信号処理装置のブロック構成図

【符号の説明】

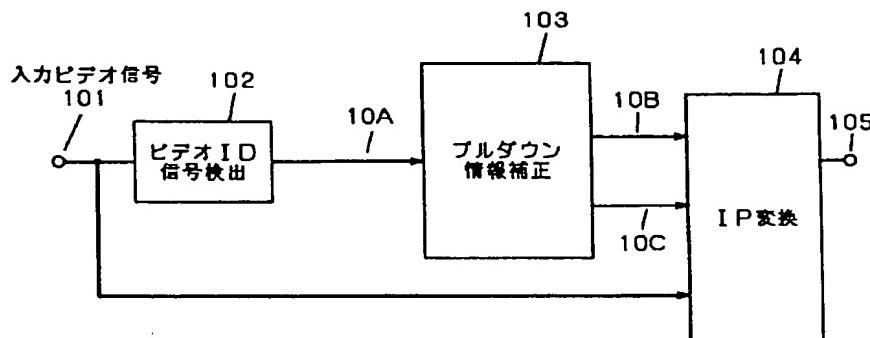
- | | |
|----|--|
| 1 | 信号判別装置 |
| 10 | 20 スライサ
30 コントロールマイコン
30a, 30b 判定カウンタ
101, 201, 301, 401, 410, 411 入力端子
102, 202 ビデオID信号検出装置
103 ブルダウン情報補正装置
104, 208 IP変換装置
105, 209, 309, 414 出力端子
203 ブルダウン情報識別装置 |
| 20 | 204 ブルダウン情報判別装置
205 位相比較装置
206, 212 パルス発生装置
207, 406, 412, 413 切り替えSW
210 ブルダウン情報パターン発生装置
211 パターンマッチング装置
213 ブルダウン情報累積比較装置
302 LPF
303 レベルスライサ
304 カウンタ |
| 30 | 305 コンパレータ
306 シフトレジスタ
307 同期分離装置
308 リセットパルス発生装置
402 YC分離装置
403 色復調装置
404, 405 フィールドメモリ
407, 408 ラインメモリ
409 フレーム差分判別装置 |

*

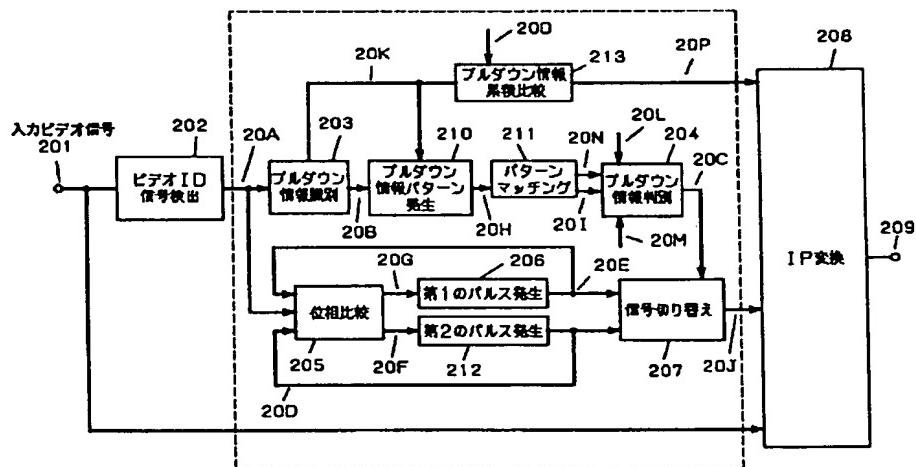
【図3】



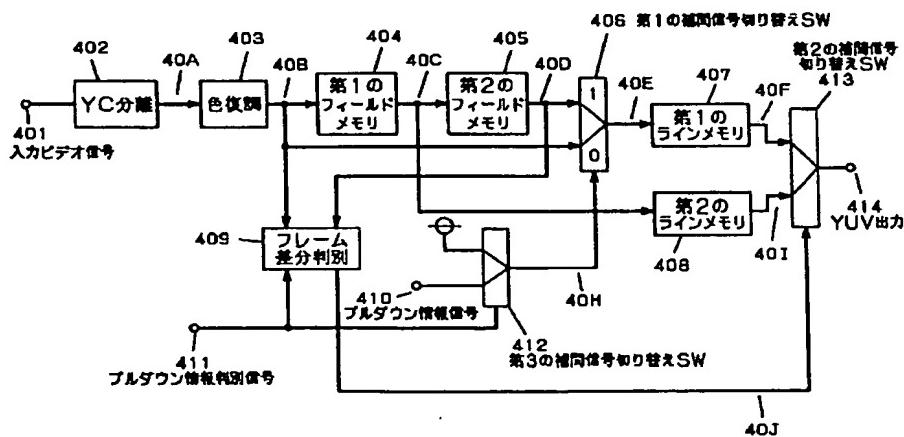
【図1】



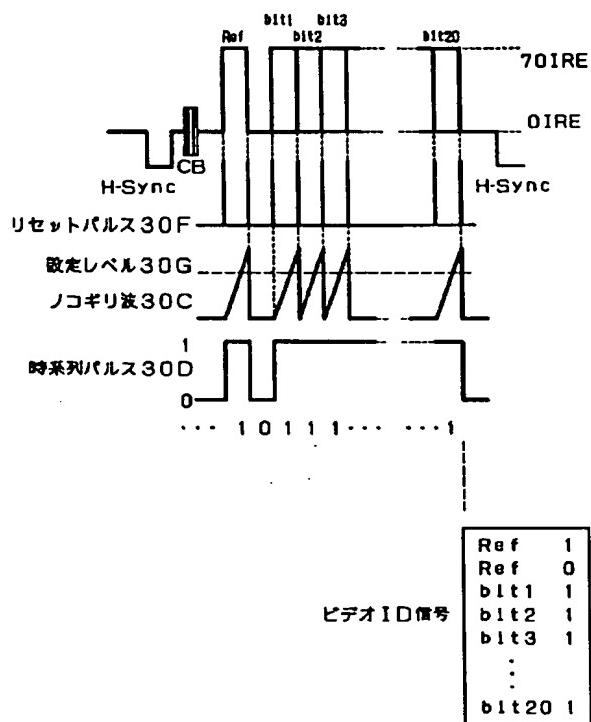
【図2】



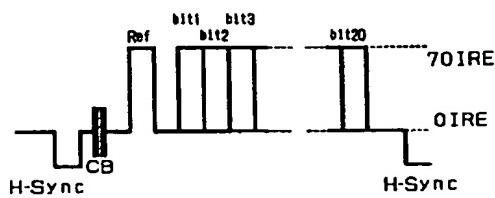
【図4】



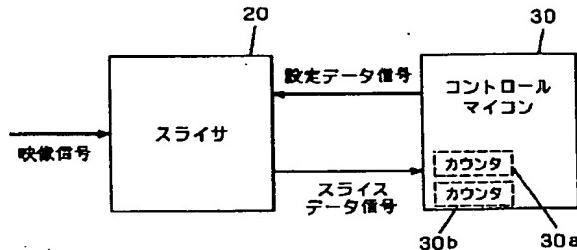
【図5】



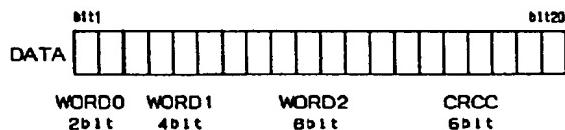
【図6】



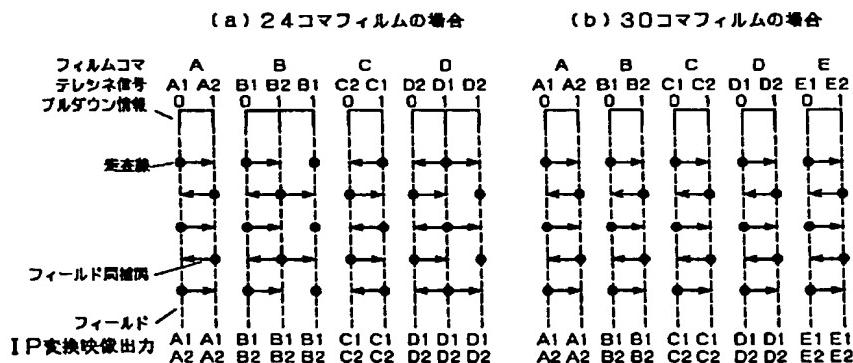
【図9】



【図7】



【図8】



フロントページの続き

(72)発明者 毛利部 宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 森田 久雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 安藤 仁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
F ターム(参考) SC063 BA04 BA09 BA10 CA03 CA14
CA23 CA38